

FPGA Tabanlı IQ-Math Formatına Uygun Yüksek Hızlı Kaotik Osilatör Tasarımı

*¹Murat Tuna, ²Can Bülent Fidan, ³İsmail Koyuncu, ⁴İhsan Pehlivan

¹Meslek Yüksekokulu, Elektrik Teknolojisi, Kırklareli Üniversitesi, 39000 Kırklareli, Türkiye

²Mühendislik Fakültesi, Mekatronik Mühendisliği, Karabük Üniversitesi, 79000 Karabük, Türkiye

³Meslek Yüksekokulu, Elektronik ve Otomasyon Bölümü, Düzce Üniversitesi, 81000 Düzce, Türkiye

⁴Mühendislik Fakültesi, Elektrik-Elektronik Mühendisliği, Sakarya Üniversitesi, 54000 Sakarya, Türkiye

Özet

Kaos tabanlı mühendislik uygulamaları kriptografi, güvenli haberleşme ve rasgele sayı üretici gibi pek çok alanda kullanılmaktadır. Kaos tabanlı uygulamalarda kullanılan önemli yapılardan birisi de kaotik üretectir. Bu çalışmada, yeni bir 3 boyutlu kaotik sistem, FPGA üzerinde 32-bit IQ-Math sabit noktalı sayı formatı kullanarak modellenmiş ve VHDL dilinde kodlanmıştır. Sürekli zamanlı yeni kaotik sistemin FPGA üzerinde ayırık zamanlı olarak modellenmesi amacıyla Heun algoritması kullanılmıştır. Yapılan tasarımlarda kullanılan sabit noktalı sayı standardına uygun, çarpıcı, toplayıcı ve çıkarıcı gibi çekirdek birimler, Xilinx ISE Design Tools ile geliştirilen IP CORE Generator kullanarak oluşturulmuştur. Tasarlanan sistem Xilinx ISE tasarım aracı kullanılarak Xilinx Virtex-6 ailesi XC6VLX75T-3FF784 FPGA çipinde sentezlenmiş ve test edilmiştir. Xilinx ISE Design Tools test sonuçlarına göre; FPGA-tabanlı yeni kaotik osilatörün çalışma frekansı 464.688 MHz olarak belirlenmiş ve Place&Route işleminden elde edilen çip istatistikleri sunulmuştur. Ayrıca, FPGA üzerinde sabit noktalı sayı formatı kullanarak gerçekleştirilen kaotik osilatör tasarımı sonuçları ile kaotik noktalı sayı formatı tasarımından elde edilen sonuçlar karşılaştırılmıştır.

Anahtar Kelimeler: Kaos, Kaotik sistemler, FPGA, VHDL, Heun.

FPGA-BASED IQ-MATH NUMBER FORMAT SUITABLE HIGH SPEED CHAOTIC OSCILLATOR DESIGN

Abstract

Chaos-based engineering applications are used in many areas such as cryptography, secure communication and random number generator. Chaotic generator is one of the important parts used in chaos-based applications. In this study, a new three-dimensional chaotic system is modeled on FPGA using 32-bit IQ Math fixed-point number format and coded in VHDL. Heun algorithm is used for discrete time modeling of the continuous time new chaotic system on FPGA. Core units, which are suitable with fixed-point number format and used in performed designs, like multiplexer, adder, subtractor etc. are formed using IP CORE Generator developed in Xilinx ISE Design Tools. The designed system has been synthesized and tested, using Xilinx ISE design tool, on Virtex-6 family XC6VLX75T-3FF784 FPGA chip. According to the Xilinx ISE Design Tools test results; operation frequency of the FPGA-based new chaotic oscillator is certain as 464.688MHz and chip statistics are presented obtained from the "Route&Place" processes. In addition, results of the chaotic oscillator design realized with fixed-point number format on FPGA are compared with the floating-point standard design results.

Keywords: Chaos, Chaotic systems, FPGA, VHDL, Heun.

1. Giriş

Kaos tanımı incelendiğinde başlangıç koşullarına üstel duyarlı, non-lineer, deterministik karakterli ve uzun vadede periyodik olmayan dinamik sistemler olduğu görülmektedir [1]. Kaotik sistem denklemlerle ifade ediliyorsa deterministik kaos olarak adlandırılır. Kaotik sistemlerin matematiksel modelleri doğrusal olmayan bir yapıya sahiptir. Kaotik sistem modelleri basit olmasına karşın davranışları çok karmaşıktır [2]. Karmaşık, ama kendi iç düzenine sahip bir süreçtir. Özellikle dikkat edilmesi gereken bir nokta, kaosun rasgelelik olmadığıdır [3,4].

18. yüzyılın sonlarında, Fransız matematikçi Henri Poincare yeni ufuklar açan bir araştırma ile basit dinamik kuralların çok karmaşık kararlı-hal davranışlarına yol açabileceğini ve zamana göre değişimi Hamilton denklemleri ile yönlendirilen mekanik sistemlerin karmaşık davranışlar gösterebileceğini keşfetti [5]. Günümüzde bu davranışlar “kaotik davranışlar” olarak adlandırılmaktadır. Kaos kavramı matematiksel olarak ise 19. yüzyılda incelenmeye başlanmış ve ilk ciddi bilimsel çalışma M.I.T. bilimcisi Edward Lorentz’ in 1963’de hava tahmini yapmak için oluşturduğu matematiksel meteorolojik modelin sonuçları sayesinde elde edilmiştir [6]. Edward Lorentz bilgisayarla yaptığı modelde sayısal analizlerden elde ettiği sonuçları hızlandırmak için aldığı verileri yuvarlayarak kullanmıştır. Ancak sonuçlar çok hızlı bir şekilde değişerek tahmin edilemez bir hal almıştır. Böylece Lorentz, farkında olmadan kaos teorisinin temellerini atmıştır.

Son yıllarda kaotik sistemlerin araştırılması ve uygulanmasına yönelik bilimsel ve endüstriyel alanlarda önemli çalışmalar gerçekleştirilmektedir. Mühendisliğin pek çok alanında kaotik sistemlerin varlığının ortaya çıkarılması, bu konuda yapılan yoğun çalışmalar ve yaşanan gelişmeler kaotik sistemlerin birçok uygulama alanında kullanılabilirliğini göstermiştir. Bu uygulama alanlarına biyomedikal [7], haberleşme [8], optik elektronik [9,10], görüntü işleme [11], bulanık mantık [12], güç elektroniği [13], optimizasyon [14], robot kontrolü [15] gibi alanlar örnek olarak verilebilir. Kaotik işaretlerin gürültü benzeri işaretler üretmesi, periyodik olmayan davranış sergilemeleri, başlangıç koşullarına hassas bağlı olmaları vb. özellikleri sebebiyle kaotik sistemler son yıllarda elektronik-bilgisayar mühendisliğinde bilgi güvenliği amacıyla kriptografi, güvenli haberleşme ve rasgele sayı üreteçleri alanında sıklıkla kullanılmaya başlanmıştır [16–20]. Bu nedenle son zamanlarda yeni ve farklı özelliklere sahip kaotik işaret üreteçlerinin gerekliliği de her zaman önem arz etmektedir [21–24]. Literatürde çok sayıda otonom kaotik devre geliştirilmiş olsa da üzerinde en çok çalışma yapılan ve kaotik dinamikleri en iyi bilinen otonom sistemler Lorenz, Chua, Rössler, Lü, Liu, Duffing, Chen, Rabinovich, Rikitake ve Burke-Shaw sistemleridir [25].

Kaotik sistemler genellikle adi diferansiyel denklemlerle ifade edilirler. Sürekli zamanlı n tane birinci dereceden adi diferansiyel denklem sistemi $i=1,2,3,\dots,n$ olmak üzere denklem (1) ile verilebilir. Bu bağıntıda $x(t)$, n boyutlu bir vektördür. Literatürdeki çalışmalar incelendiğinde sürekli zamanlı kaotik bir sistem oluşturmak için basit yapıda üçüncü dereceden ($n \geq 3$) diferansiyel bir denklem takımı ve nonlineer bir yapı çoğu zaman yeterli olmaktadır [26].

$$\begin{aligned}
\frac{dx(t)}{dt} &= f(x(t)) \\
\frac{dx^i}{dt} &= f_1(x^i, x^{i+1}, \dots, x^n) \\
\frac{dx^{i+1}}{dt} &= f_2(x^i, x^{i+1}, \dots, x^n) \\
&\vdots \\
\frac{dx^{i+n}}{dt} &= f_n(x^i, x^{i+1}, \dots, x^n)
\end{aligned} \tag{1}$$

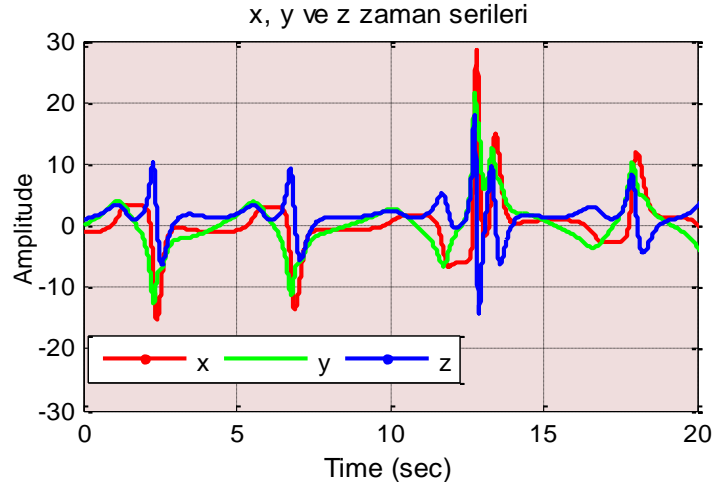
Bu çalışmada ikinci bölümde literatüre yeni sunulan kaotik sisteminin matematiksel modeli verilerek nümerik analiz ile zaman serileri ve faz porteleri elde edilmiştir. Üçüncü bölümde yeni kaotik çekerin 32 bit IQ-Math sabit noktalı sayı formatında VHDL (Very High Speed Integrated Circuit Hardware Description Language (Çok Yüksek Hızlı Tümlşik Devre Donanım Tanımlama Dili)) dilinde FPGA tabanlı modeli sunularak çip üzerinden alınan test ve analiz sonuçları verilmiştir. Son bölümde bu çalışma kapsamında elde edilen sonuçlar aynı sistemin FPGA üzerinde IEEE 754-1985 kayan nokta formatıyla tasarımından [27] alınan sonuçlarıyla karşılaştırılıp değerlendirilmiştir.

2. Kaotik Sistemin Matematiksel Modeli

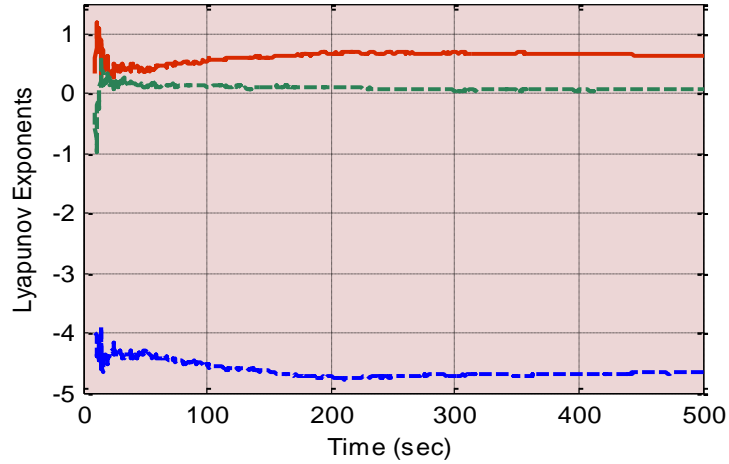
Adi diferansiyel denklemler şeklinde denklem (2)' de matematiksel olarak ifade edilen yeni kaotik sistemde x, y ve z kaotik durum değişkenleri ρ ve σ ise sistem parametreleri ve x_0, y_0, z_0 ise kaotik sistemin başlangıç şartlarıdır [27].

$$\begin{aligned}
\frac{dx}{dt} &= y \cdot (z - \rho) \\
\frac{dy}{dt} &= y \cdot (z - \rho) - x \cdot (z + \rho) \\
\frac{dz}{dt} &= -y \cdot (\rho \cdot x - y) - \sigma \cdot (z - \rho) \\
\rho &= 1.3, \sigma = 4 \\
x_0 &= -1, y_0 = 0, z_0 = 1
\end{aligned} \tag{2}$$

Doğrusal olmayan diferansiyel denklem sisteminin çözümü özellikle başlangıç şartlarına ve sistem parametrelerine bağlıdır. Bu sistemin nümerik olarak çözümünde Heun algoritması kullanılmıştır. Matlab programında nümerik analiz sonucunda Şekil 1' de yeni kaotik sistemin zaman serileri, Şekil 2' de LET kullanılarak analizi gerçekleştirilen Lyapunov üstelleri verilmiştir. Alınan sonuçlara göre lyapunov üstelleri $\lambda_1 = + 0.4803$, $\lambda_2 = 0$ ve $\lambda_3 = - 4.439$ olarak bulunmuştur. Buradan kaotik davranışın oluşması için gereken $(\lambda_1, \lambda_2, \lambda_3)$ Lyapunov üstellerinin (+, 0, -) durumunun sağlandığı ve sistemin kaotik olduğu görülmektedir.



Şekil 1. Yeni kaotik sisteminin zaman serileri



Şekil 2. Yeni kaotik sistemin başlangıç şartları $x_0=-1$, $y_0=0$, $z_0=1$ ve $\rho = 1.3$, $\sigma = 4$ sistem parametreleri için Lyapunov üstelleri.

3. FPGA Tabanlı Model Test Sonuçları

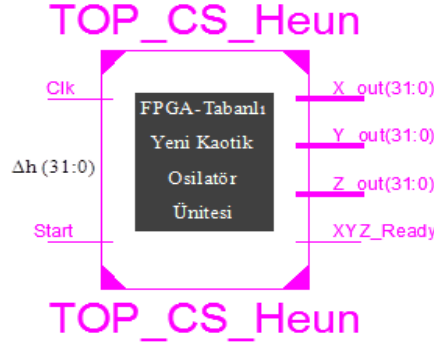
Bu bölümde kaotik sistem FPGA tabanlı yeni kaotik sistem Heun nümerik çözüm algoritması ile 32 bit IQ-Math sabit noktalı sayı standardında VHDL dili ile modellenmiştir. Heun algoritması diferansiyel denklemin çözümünde Euler algoritmasından daha hassas çözümler üretebilmektedir. FPGA üzerinde yapılan gerçekleştirilmeden alınan sonuçların performans ve çip istatistik analizleri yapılmıştır. Kaotik sistem için kullanılacak nümerik algoritmanın ayrıklaştırılmış modellenmiş olarak tüm işlemler gerçekleştirilmiştir. Heun nümerik çözüm algoritmasına ait denklemler (3) verilmiştir.

$$\begin{aligned}
y(x_0) &= y_i = y_0 \\
y^0_{\lambda+1} &= y_\lambda + f(y_\lambda) * \Delta h \\
y_{\lambda+1} &= y_\lambda + \frac{f(y_\lambda) + y^0_{\lambda+1}}{2} * \Delta h
\end{aligned} \tag{3}$$

Bu denklemde y_0 kaotik sistemin başlangıç şartlarını ve Δh ise algoritmanın adım aralığını belirtmektedir. Heun algoritmasının ilk adımında $f(y^0_{\lambda+1})$ değeri hesaplanmaktadır. İkinci adımında hesaplanan $f(y^0_{\lambda+1})$ değeri ile y_λ değerleri kullanılarak sistemin bir sonraki değeri $f(y_{\lambda+1})$ hesaplanmaktadır. Heun algoritması, Euler algoritmasına göre daha hassas sonuçlar üretmesine rağmen yüksek frekanslı fonksiyonların eğimini yakalayamamaktadır. Heun tabanlı ayrıklaştırılmış kaotik sistemin matematiksel modeli denklem (4) verilmiştir. Algoritmanın ayrıklaştırılmış modelindeki $x(k)$, $y(k)$ ve $z(k)$ 'nin başlangıç değerleri sırasıyla $(-1.0, 0.0, 1.0)$ ve algoritmanın adım aralığı $\Delta h=0.005$ olarak alınmıştır. Ayrıklaştırılmış matematiksel modelden de görüldüğü gibi Heun algoritması iki aşamalı bir algoritmadır. Bu denklemde $x(k)$, $y(k)$ ve $z(k)$ değerleri kullanılarak sırasıyla $x(k^0+1)$, $y(k^0+1)$ ve $z(k^0+1)$ ara değerleri hesaplanmaktadır. Daha sonra bu ara değerler kullanılarak diferansiyel sistemin Δh kadar adım sonraki değerleri $(x(k+1), y(k+1), z(k+1))$ hesaplanmaktadır.

$$\begin{aligned}
x(k^0+1) &= x(k) + \Delta h.(\alpha.(y(k) - x(k))) \\
x(k+1) &= x(k) + \frac{\alpha.(y(k) - x(k)) + x(k^0+1)}{2} \cdot \Delta h \\
y(k^0+1) &= y(k) + \Delta h.(-z \cdot x(k) + c \cdot y(k)) \\
y(k+1) &= y(k) + \frac{-z \cdot x(k) + c \cdot y(k) + y(k^0+1)}{2} \cdot \Delta h \\
z(k^0+1) &= z(k) + \Delta h.(x(k) \cdot y(k) - b \cdot z(k)) \\
z(k+1) &= z(k) + \frac{x(k) \cdot y(k) - b \cdot z(k) + z(k^0+1)}{2} \cdot \Delta h
\end{aligned} \tag{4}$$

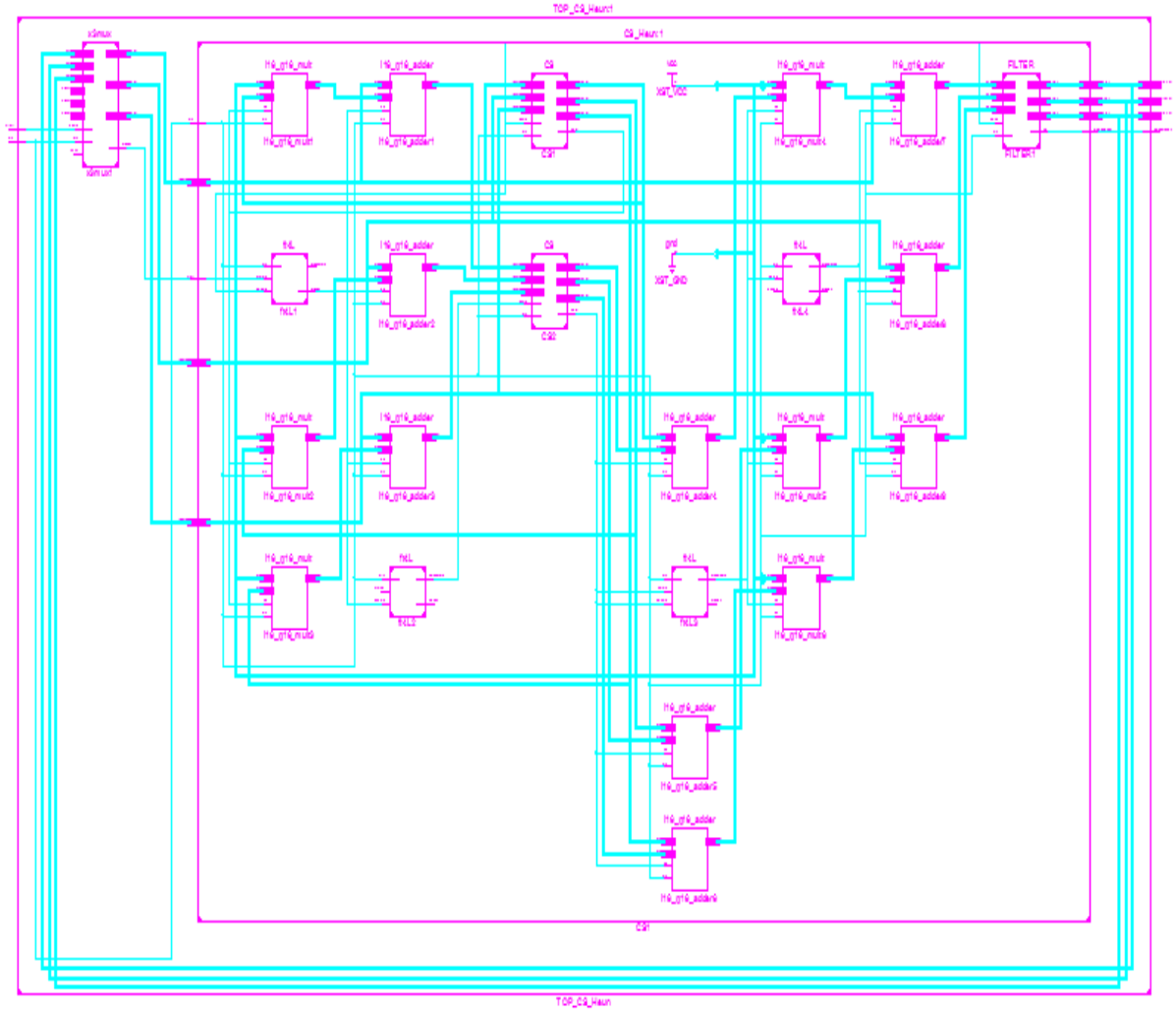
Xilinx ISE Design Tools programında sabit noktalı sayı standardına uygun çarpıcı, toplayıcı ve çıkarıcı gibi üniteler hazır oluşturulmuş çekirdekler (IP CORE Generator) kullanılarak oluşturulmuştur. FPGA üzerinde VHDL dilinde tasarlanan kaotik osilatörün en üst seviye blok diyagramı Şekil 4'te verilmiştir. Şekil üzerindeki *Start* ve *Clock* sinyalleri tüm ünitelerin bağlı bulunduğu sistem ile aralarındaki senkronizasyonu sağlamak amacıyla kullanılmaktadır. Algoritmanın hesaplanma hassasiyetini Δh adım sayısı parametresi belirtmektedir. Bu sinyal tasarımın daha esnek olmasını sağlamak amacıyla dışarıdan uygulanmaktadır. Sistemin ilk çalışması anında ihtiyaç duyduğu başlangıç şartları, FPGA çipinin kaynaklarını azaltmak amacıyla tasarımın içerisine gömülmüştür. Ancak ihtiyaç duyulduğunda bu sinyaller, 32-bitlik 3 farklı sinyal tanımlaması yapılarak tasarımda küçük değişiklikler ile değerleri kullanıcı tarafından ayarlanacak şekilde de tasarlanabilir. FPGA üzerinde Heun algoritması kullanılarak ayırık zamanlı olarak tasarlanan kaotik osilatör sabit noktalı sayı standardında 3 adet 32-bit X_out , Y_out ve Z_out çıkış sinyalleri ile çıkış sinyallerinin hazır olduğunu belirten XYZ_Ready sinyali bulunmaktadır.



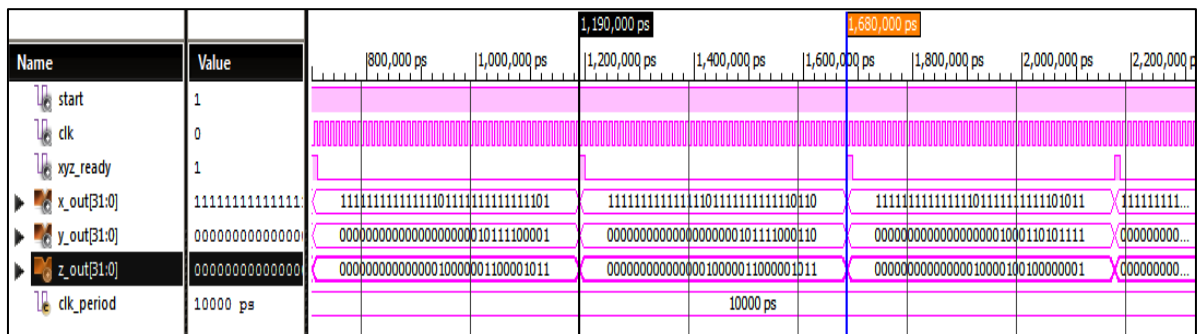
Şekil 4. Heun algoritması ile FPGA-Tabanlı tasarlanan kaotik osilatörün en üst seviye blok diyagramı.

Şekil 5’te FPGA üzerinde tasarlanan yeni kaotik işaret üreticinin en son seviye blok diyagramı verilmiştir. Gerçekleştirilen sistem içerisindeki sabit noktalı sayı formatındaki çarpma, toplama, çıkarma ve diğer modüller Xilinx firmasının geliştirdiği çekirdekler (IP Core Generator) kullanılarak oluşturulmuştur. *Filter* ünitesi ise her Clock sinyalinde üretilen istenmeyen sinyallerin çıkışa aktarılmasını engellemektedir. FPGA-tabanlı Heun algoritması kullanılarak tasarlanan kaotik üreticinin gerçekleşmesinden elde edilen Xilinx ISE simülasyon sonuçları Şekil 6’da verilmiştir. Her bir sonuç için 3 adet 32 bitlik çıkış darbesi üretilmektedir. Ünite pipe-line olarak çalışmakta ve ilk sonuçlarını 66 saat darbesi sonucunda üretmektedir. Bundan sonra her 66 saat darbesinde yeni sonuçlar üretilmektedir. Tasarlanan ünitenin minimum çalışma periyodu 2.152 ns’ dir.

Gerçeklenen kaotik işaret üreticisi Xilinx firmasının ürettiği Virtex-6 ailesinin XC6VLX75T-3FF784 çipine yüklenerek test edilmiştir. Yerleştirme ve bağlama (Place-Route) işleminin ardından FPGA üzerinden elde edilen çip istatistikleri Şekil 7’ de verilmiştir. Tablo 1’de bu çalışmadan alınan sonuçlarla daha önceki çalışma kapsamında gerçekleştirilen kaotik sistemin FPGA çipi üzerinde IEEE 754-1985 kayan nokta sayı formatında gerçekleşmesiyle [27] alınan sonuçlar karşılaştırılmıştır. Farklı sistemlerin FPGA üzerinde tasarımında IEEE 754 kayan nokta standardının IQ-Math sabit nokta standardına göre hassasiyet derecesi daha yüksektir [28–30]. Kaotik sistemler, başlangıç şartlarına ve parametre değişimlerine oldukça hassas olduklarından dolayı kayan noktalı sayı formatıyla FPGA üzerinde tasarımları daha çok tercih edilmektedir [19,21,31]. Fakat IEEE 754-1985 kayan noktalı sayılarla gerçekleştirilen donanım tabanlı ayrık zamanlı kaotik sistemler FPGA’ in donanım kaynaklarını oldukça fazla kullandığı ve çalışma frekansını düşürdüğü görülmüştür [27,32,33].



Şekil 5. FPGA-tabanlı yeni kaotik işaret üretici ikinci seviye blok diyagramı



Şekil 6. Heun-tabanlı PC kaotik osilatör ünitesi Xilinx ISE Simülatorü sonuçları

Device Utilization Summary (estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slice Registers	2998	93120	3%
Number of Slice LUTs	2687	46560	5%
Number of fully used LUT-FF pairs	2117	3568	59%
Number of bonded IOBs	99	360	27%
Number of BUFG/BUFGCTRLs	1	32	3%
Number of DSP48E1s	72	288	25%

Şekil 7. Heun-tabanlı PC kaotik osilatör ünitesi FPGA çip istatistikleri

Tablo 1. FPGA üzerinde Heun algoritması ile Sabit ve Kayan nokta sayı standardında tasarlanan yeni kaotik sistemin çip donanım kaynaklarını kullanım oranları

Sayı Formatı	Slice Register Sayısı / %	LUTs Sayısı / %	Bonded IOBs Sayısı / %	Maksimum Saat Frekansı MHz	Minimum Darbe Periyodu ns
IQ-Math Sabit noktalı sayı formatı	2998 / 3	2687 / 5	99 / 27	464.688	2.152
IEEE 754-1985 Kayan noktalı sayı formatı	21499 / 23	20333 / 43	131 / 36	390.076	2.56

4. Sonuçlar

Bu çalışmada, literatüre yeni sunulan kaotik sistemin FPGA üzerinde Heun algoritması ile VHDL dilinde 32 bit (16I-16Q) IQ-Math sabit noktalı sayı formatında ilk defa tasarlanmıştır. Ayrıca kaotik sistemin FPGA üzerinde tasarımında kullanılan sabit noktalı ve kayan noktalı sayı formatlarının çip istatistikleri ve çalışma frekansları Tablo 1’de karşılaştırılmıştır. Alınan sonuçlara göre, kaotik sistemin FPGA üzerinde IQ-Math sabit noktalı sayı formatıyla gerçekleştirilen tasarımda kullanılan çip donanımlarının oranı IEEE 754-1985 kayan nokta sayı formatına göre oldukça düşüktür. Sabit noktalı sayı ile gerçekleştirilen tasarım neredeyse %20 - %25 daha az çip kullanım oranına sahip olduğu görülmektedir. Ayrıca 32 bit sabit noktalı sayı ile gerçekleştirilen tasarımın çalışma frekansının 464.688 MHz olduğu belirlenmiştir. Bu değer 32 bit kayan nokta sayı ile gerçekleşen tasarımdan alınan çalışma frekansına (390.076 MHz) göre daha yüksek olduğu görülmüştür. Bu kapsamda ilk defa FPGA üzerinde 32 bit IQ-Math sabit noktalı sayı formatında sunulan kaotik sistemin kaos tabanlı mühendislik uygulamalarında daha hızlı ve daha az çip donanım kullanım oranı ile kullanılabileceği gösterilmiştir.

Kaynakça

- [1] Alligood, KT, Sauer, TD, Yorke, JD. Chaos: An Introduction to Dynamical Systems. Chaos, New York: Springer-Verlag; 2008, p. 67–8.
- [2] Pamuk N. Dinamik Sistemlerde Kaotik Zaman Dizilerinin Tespiti. 2013.
- [3] Lü J, Chen G, Cheng D. A New Chaotic System and Beyond: the Generalized Lorenz-

- Like System. *International Journal of Bifurcation and Chaos* 2004;14:1507–37.
- [4] Jin L, Mei J, Li L. Chaos control of parametric driven Duffing oscillators. *Applied Physics Letters* 2014;104:134101.
- [5] Holmes P. Poincaré, celestial mechanics, dynamical-systems theory and “chaos.” *Physics Reports* 1990;193:137–63.
- [6] Lorenz EN. Deterministic Nonperiodic Flow. *Journal of the Atmospheric Sciences* 1963;20:130–41.
- [7] Xiong, A., Zhao, X., Han, J., Liu G. Application of the Chaos Theory in the Analysis of EMG on Patients with Facial Paralysis - Google'da Ara. In *Robot Intelligence Tech and App* 2014:805–19.
- [8] Banerjee S, Kurths J. Chaos and Cryptography: A new dimension in secure communications. *The European Physical Journal Special Topics* 2014;223:1441–5.
- [9] Kang Z, Sun J, Ma L, Qi Y, Jian S. Multimode Synchronization of Chaotic Semiconductor Ring Laser and its Potential in Chaos Communication. *IEEE Journal of Quantum Electronics* 2014;50:148–57.
- [10] Ji Y, Zhang M, Wang Y, Wang P, Wang A, Wu Y, et al. Microwave-Photonic Sensor for Remote Water-Level Monitoring Based on Chaotic Laser. *International Journal of Bifurcation and Chaos* 2014;24:1450032.
- [11] Anees A, Siddiqui AM, Ahmed F. Chaotic substitution for highly autocorrelated data in encryption algorithm. *Communications in Nonlinear Science and Numerical Simulation* 2014;19:3106–18.
- [12] Wu Z-G, Shi P, Su H, Chu J. Sampled-Data Fuzzy Control of Chaotic Systems Based on a T–S Fuzzy Model. *IEEE Transactions on Fuzzy Systems* 2014;22:153–63.
- [13] Ashita S, Uma G, Deivasundari P. Chaotic dynamics of a zero average dynamics controlled DC–DC Ćuk converter. *IET Power Electronics* 2014;7:289–98.
- [14] Hemmati M, Amjady N, Ehsan M. System modeling and optimization for islanded micro-grid using multi-cross learning-based chaotic differential evolution algorithm. *International Journal of Electrical Power & Energy Systems* 2014;56:349–60.
- [15] Pomares J, Perea I, Torres F. Dynamic Visual Servoing With Chaos Control for Redundant Robots. *IEEE/ASME Transactions on Mechatronics* 2014;19:423–31.
- [16] Jakimoski G, Kocarev L. Chaos and cryptography: block encryption ciphers based on chaotic maps. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* 2001;48:163–9.
- [17] Lawande Q, Ivan B, Dhodapkar S. Chaos based cryptography: a new approach to secure communications. *BARC Newsletter* 2005.
- [18] Kocarev L. Chaos-based cryptography: a brief overview. *IEEE Circuits and Systems Magazine* 2001;1:6–21.
- [19] Sadoudi S, Azzaz MS, Djeddou M, Benssalah M. An FPGA real-time implementation of the Chen's chaotic system for securing chaotic communications 2009;7:467–74.
- [20] Zidan MA, Radwan AG, Salama KN. Random number generation based on digital differential chaos. 2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS), IEEE; 2011, p. 1–4.
- [21] Koyuncu I, Ozcerit AT, Pehlivan I. Implementation of FPGA-based real time novel chaotic oscillator. *Nonlinear Dynamics* 2014;77:49–59.
- [22] Deng K, Li J, Yu S. Dynamics analysis and synchronization of a new chaotic attractor. *Optik - International Journal for Light and Electron Optics* 2014;125:3071–5.
- [23] PEHLIVAN İ, WEI Z. Analysis, nonlinear control, and chaos generator circuit of another strange chaotic system. *Turkish Journal Of Electrical Engineering & Computer*

- Sciences 2012;20:1229–39.
- [24] Akgul A, Hussain S, Pehlivan I. A new three-dimensional chaotic system, its dynamical analysis and electronic circuit applications. *Optik - International Journal for Light and Electron Optics* 2016;127:7062–71.
- [25] Muralı K, Lakshmanan M, Chua LO. Controlling And Synchronization Of Chaos In The Simplest Dissipative Non-Autonomous Circuit. *International Journal of Bifurcation and Chaos* 1995;5:563–71.
- [26] Chua Lo, Wu CW, Huang A. A universal circuit for studying and generating chaos. I. Routes to chaos. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* 1993;40:732–44.
- [27] Tuna M, Koyuncu I, Fidan CB, Pehlivan I. Real time implementation of a novel chaotic generator on FPGA. 2015 23rd Signal Processing and Communications Applications Conference (SIU), IEEE; 2015, p. 698–701.
- [28] Sahin S, Kavak A, Cavuslu MA. Comparison of number formats on FPGA-based OFDM modem architecture. 2013 21st Signal Processing and Communications Applications Conference (SIU), IEEE; 2013, p. 1–4.
- [29] Az, I., Şahin, S., Çavuşlu, MA. Hızlı Fourier ve Ters Hızlı Fourier Dönüşümlerinin FPGA’ da Donanımsal Olarak Gerçeklenmesi. *IEEE 15th Signal Processing and Communications Applications (SIU), IEEE; 2013, p. 1-4.*
- [30] Chandra V. A Survey on CORDIC Algorithm Implementations Using Different Number Format. *International Journal of Innovative Research in Science, Engineering and Technology (An ISO Certified Organization)* 2007;3297.
- [31] Wang Z, Deng B, Hou C, Yao F. Design and FPGA Realization of a Four-Wing Chaotic System. 2010 International Conference on Internet Technology and Applications, IEEE; 2010, p. 1–5.
- [32] Azzaz MS, Tanougast C, Sadoudi S, Dandache A. Real-time FPGA implementation of Lorenz’s chaotic generator for cipherring telecommunications. 2009 Joint IEEE North-East Workshop on Circuits and Systems and TAISA Conference, IEEE; 2009, p. 1–4.
- [33] Merah L, Ali-Pacha A, Said NH, Mamat M. Design and FPGA Implementation of Lorenz Chaotic System for Information Security Issues. *Applied Mathematical Sciences* 2013;7:237–46.